**PERGUNTA 1**

1. A largura do barramento é um parâmetro que deve ser considerado em seu projeto. Assim, quanto mais largas forem as linhas de endereços, maior a capacidade de endereçamento da memória e do processador. Aumentar a aceleração do barramento também é possível, porém difícil, pois os sinais geralmente trafegam com diferentes velocidades no barramento. Esse problema na variação da velocidade no barramento é conhecido como:

|  |  |  |
| --- | --- | --- |
|  | a. | Atraso integral do barramento. |
|  | b. | Atraso inicial do barramento. |
|  | c. | Atraso paralelo do barramento. |
|  | d. | Atraso diferencial do barramento. |
|  | e. | Atraso final do barramento. |

**0,25 pontos**

**PERGUNTA 2**

1. O barramento PCI ( *Peripheral Component Interconnect* ou barramento de interconexão de componente periférico) foi desenvolvido em 1990 em substituição ao já ultrapassado barramento EISA ( *Extended Industry Standard Architecture*). Originalmente, o PCI possuía a capacidade de transferência de 32 *bits* por ciclo e largura de banda de 133 MB/s. Em 1993, foi lançada a segunda versão (PCI 2.0) e, em 1995, a versão 2.1, que trouxeram melhorias no desempenho e nas transmissões de áudio e vídeo em alta qualidade. Qual foi o fator determinante para que essa melhoria de desempenho fosse obtida?

|  |  |  |
| --- | --- | --- |
|  | a. | O uso de dois *chips*, que funcionam como uma ponte para conectar o barramento PCI ao processador e à memória principal. |
|  | b. | O uso de um processador com vários núcleos para melhorar o desempenho do computador. |
|  | c. | O uso de barramentos separados para dados e instruções. |
|  | d. | O uso de memória cache para o armazenamento de dados e instruções. |
|  | e. | O uso de arquivos MP3 e MP4, que possibilitavam o armazenamento mais simples de arquivos de áudio e vídeo. |

**0,25 pontos**

**PERGUNTA 3**

1. O barramento PCI Express, ou simplesmente PCIe, elimina o uso do barramento paralelo, constituído de mestres e escravos, e utiliza um projeto baseado em conexões seriais ponto a ponto de alto desempenho. Essa solução apresenta uma transição radical na tradição do barramento ISA/EISA/PCI e se baseia em práticas de redes Ethernet comutadas. A arquitetura PCIe possui três principais pontos de diferenças em relação ao barramento PCI. Quais são essas diferenças?

|  |  |  |
| --- | --- | --- |
|  | a. | Fita magnética paralela, disco rígido serial e barramento em camadas. |
|  | b. | Memória RAM centralizada, conexão do *pen drive* em paralelo e modelo de barramento triangular. |
|  | c. | Processador distribuído, memória cache em níveis e barramento alinhado. |
|  | d. | Sistemas de memória auxiliares em *buffer*, barramentos em camadas distribuídas e conexão paralela ponto a ponto. |
|  | e. | Comutador centralizado, conexão serial ponto a ponto e um modelo conceitual de mestre de barramento. |

**0,25 pontos**

**PERGUNTA 4**

1. Os barramentos PCI e PCIe possuem alta velocidade de transmissão e são eficientes na conexão de dispositivos de alto desempenho, como as placas de vídeo. Entretanto, eles são muito caros para serem empregados em dispositivos periféricos, que operam à baixa velocidade. A fim de resolver problemas relacionados ao desempenho dos barramentos utilizados em periféricos, sete empresas de tecnologia (IBM, Intel, Microsoft, entre outras) se juntaram para buscar uma solução unificada de conexão para uma gama variada de dispositivos de E/S. Qual foi o padrão de barramento adotado para uso geral que elas desenvolveram e que foi lançado em 1998?

|  |  |  |
| --- | --- | --- |
|  | a. | AGP. |
|  | b. | USB. |
|  | c. | PCIe. |
|  | d. | ISA. |
|  | e. | VESA. |

**0,25 pontos**

**PERGUNTA 5**

1. Basicamente, um dispositivo de E/S se comunica com suas interfaces através do envio/recebimento de *bits* de controle. Embora cada dispositivo possua características de funcionamento próprio, o fluxo de informações é o mesmo para todos os dispositivos. O fluxo direcional para dados recebidos e transmitidos também é conhecido tecnicamente por qual nomenclatura?

|  |  |  |
| --- | --- | --- |
|  | a. | AC/MQ. |
|  | b. | IR/IBR. |
|  | c. | PC/MAR. |
|  | d. | PC/AT. |
|  | e. | RX/TX. |

**0,25 pontos**

**PERGUNTA 6**

1. Os barramentos de dados e instruções precisam seguir um certo padrão organizacional. Ao desenvolverem um projeto, os engenheiros devem seguir os protocolos de barramentos, que irão determinar especificações mecânicas e elétricas na fabricação das placas. Existem variedades de barramentos para uso em computadores. Dentre elas, qual alternativa **não** representa um tipo de padrão para barramentos?

|  |  |  |
| --- | --- | --- |
|  | a. | Unibus. |
|  | b. | MBR. |
|  | c. | Omnibus. |
|  | d. | SCSI. |
|  | e. | ISA. |

**0,25 pontos**

**PERGUNTA 7**

1. A arquitetura de computador do tipo RISC ( *Reduced Instruction Set Computer* –computador com um conjunto reduzido de instruções) foi um grande avanço no desenvolvimento dos processadores modernos. Essa arquitetura trouxe novas questões em seu projeto, como possuir um conjunto de instruções menor, execução otimizada de chamada de funções, modos de execução baseados no uso de *pipeline*  
   e execução de cada instrução em um ciclo de *clock*. Além dessas características, qual outra característica relevante possui a arquitetura RISC?

|  |  |  |
| --- | --- | --- |
|  | a. | Menor quantidade de memória RAM. |
|  | b. | Menor quantidade de memória ROM. |
|  | c. | Menor quantidade de espaço em disco rígido. |
|  | d. | Menor quantidade de modos de endereçamento. |
|  | e. | Menor quantidade de acessos ao barramento. |

**0,25 pontos**

**PERGUNTA 8**

1. O *pipeline*é empregado na execução de instruções em paralelo, com o intuito de melhorar o desempenho dos processadores. Para máquinas do tipo RISC, a maioria das instruções em *pipeline*é do tipo registrador-para-registrador, envolvendo apenas dois ou três estágios. Nesse caso, os dois primeiros estágios serão para a realização da busca da instrução e um estágio para a execução, além do armazenamento em memória. Apesar de vantajoso, o *pipeline*  
   em máquinas RISC apresenta quais problemas?

|  |  |  |
| --- | --- | --- |
|  | a. | Em relação ao uso da memória ROM para armazenamento de dados e quando ocorre erro na comunicação com o disco rígido. |
|  | b. | Em relação ao acesso à memória e quando ocorre um desvio na instrução, interrompendo o fluxo sequencial de execução. |
|  | c. | Em relação à busca de instruções nos registradores e quando ocorre um acesso aos dispositivos de E/S. |
|  | d. | Em relação ao acesso sequencial de dados nos dispositivos de E/S e quando os registradores apresentam algum tipo de problema. |
|  | e. | Em relação ao acesso paralelo na memória cache e quando ocorre algum desvio no fluxo de armazenamento, interrompendo a execução. |

**0,25 pontos**

**PERGUNTA 9**

1. Um processador superescalar é definido como aquele que possui múltiplos e independentes *pipelines* de instruções. Uma das grandes vantagens da implementação superescalar é o aumento no nível de paralelismo de instruções, que possibilita múltiplos fluxos processados simultaneamente. Alguns problemas podem ocorrer em uma implementação superescalar, como a entrada de alguma operação dependente da saída da instrução anterior, de modo que a instrução seguinte não poderá completar sua execução. Para contornar esse problema de dependência, qual solução deve ser tomada?

|  |  |  |
| --- | --- | --- |
|  | a. | Buscar a instrução, interpretar a instrução, obter dados e processar dados. |
|  | b. | Determinar o intervalo de tempo entre o início da borda de subida (ou descida) do pulso, até o início da próxima borda de subida (ou descida) do outro pulso. |
|  | c. | Realizar o cálculo para o armazenamento do resultado da operação na memória principal. |
|  | d. | Eliminar a dependência de dados ou instruções desnecessárias, utilizando-se para isso registradores adicionais, renomeando assim as referências obtidas dos registradores no código original. |
|  | e. | Receber uma ou várias palavras que serão armazenadas na memória ou enviadas para alguma unidade de E/S. |

**0,25 pontos**

**PERGUNTA 10**

1. A abordagem *multithreading*explícita é de grande utilidade na realização do processamento paralelo. Dessa forma, para que ele ocorra corretamente, é importante que o processador disponibilize um registrador (contador de programa) para que cada *thread* em execução possa ser executado concorrentemente. Dentre as diversas técnicas de *multithreading*explícitas, assinale a técnica cujas instruções de um *thread* sejam executadas de forma progressiva, até que algum novo evento ocorra, causando um atraso.

|  |  |  |
| --- | --- | --- |
|  | a. | *Multithreading* simultânea. |
|  | b. | *Multithreading* intercalada. |
|  | c. | Multithreading ativa. |
|  | d. | *Chip* multiprocessado. |
|  | e. | *Multithreading* bloqueada. |